

③ Int. Cl.⁴

H 01 J 29/48
1/20
37/06

識別記号

庁内整理番号

7301-5C
6722-5C
Z-7013-5C

④ 公開 昭和64年(1989)2月1日

審査請求 未請求 発明の数 2 (全7頁)

⑤ 発明の名称 電子線発生装置およびその駆動方法

⑥ 特 願 昭62-186650

⑦ 出 願 昭62(1987)7月28日

⑧ 発 明 者	越 英 俊	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
⑧ 発 明 者	野 村 一 郎	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
⑧ 発 明 者	武 田 俊 彦	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
⑧ 発 明 者	金 子 哲 也	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
⑧ 発 明 者	坂 野 喜 和	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
⑧ 発 明 者	吉 岡 征 四 郎	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
⑧ 発 明 者	横 野 幸 次 郎	東京都大田区下丸子3丁目30番2号	キヤノン株式会社内
⑨ 出 願 人	キヤノン株式会社	東京都大田区下丸子3丁目30番2号	
⑩ 代 理 人	弁護士 渡辺 徳 廣		

明 細 書

1. 発明の名称

電子線発生装置およびその駆動方法

2. 特許請求の範囲

(1) 基板の上に複数の電子放出素子を2次元的に行列状に配設し、行方向に配列された隣接する電子放出素子の対向する電子網を電気的に結線するとともに、列方向に配列された同一列上の全電子放出素子の同じ側の電子網を電気的に結線してなることを特徴とする電子線発生装置。

(2) 基板の上に複数の電子放出素子を2次元的に行列状に配設し、行方向に配列された隣接する電子放出素子の対向する電子網を電気的に結線するとともに、列方向に配列された同一列上の全電子放出素子の同じ側の電子網を電気的に結線してなり、前記列方向の複数の電子放出素子は2列以上の m 列にわたって設けられ、その電気的な結線が $m+1$ 本の電極で取り出され、前記 m 列の電子放出素子群のうちの任意の x 列目を駆動するの

に、 $1 \sim x$ 本目の電極には共通の電位 V_1 を印加し、 $x+1 \sim m+1$ 本目の電極には前記電位 V_1 と異なる共通の電位 V_2 を印加することを特徴とする電子線発生装置の駆動方法。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は電子線発生装置およびその駆動方法に関する。特に表面伝導形放出素子もしくはこれと類似の電子放出素子を多数個用いた電子線発生装置の改良およびその駆動方法に関する。

【従来の技術】

従来、簡単な構造で電子の放出が得られる素子として、例えば、エム・アイ・エリンソン (M. I. Elinson) 等によって発表された表面伝導素子が知られている。【ラジオ・エンジニアリング・エレクトロン・フィジックス (Radio Eng. Electron. Phys.) 第10巻、1280~1286頁、1965年】

これは、基板の上に形成された小面積の層状に、表面に平行に電位を印加することにより、電子放出を生ずる現象を利用するもので、一般には表面伝導

型放出素子と呼ばれている。

この表面伝導型放出素子としては、前記エリソン等により開発された $\text{SeO}_2(\text{Si})$ 薄膜を用いたもの、 Au 薄膜によるもの【ブー・デットマー“スイソリッド フィルムス”(G. Billner: "Thin Solid Films"), 9巻, 317頁, (1972年)], 170 薄膜によるもの【エム ハートウェル アンド シー ジー フォンスタット“アイ イー イー イー トランス” イー ディー コンプ (E. Harveell and C. G. Fonstad: "IEEE Trans. ED Conf. ") 519 頁, (1975年)], カarbon 薄膜によるもの【夏太久他: “真空”, 第26巻, 第1号, 22頁, (1983年)]などが報告されている。

これらの表面伝導型放出素子は、

- 1) 高い電子放出効率が得られる
- 2) 構造が簡単であるため、製造が容易である
- 3) 同一基板上に多数の素子を配列形成できる等の利点を有する。

従って、たとえば大面積の基板上に数個なビッ

前に所定電圧を印加し、次に2列目を走査するために、電極 E_1 と電極 E_2 間に所定電圧を印加するというように、1列毎に電子ビーム群を順次放射させ、同時にこれと直交して行方向に設けられた図示外の n 本のグリッドにより個々の電子ビームの強度を制御するものである。

従来、この様な電子線発生装置においては、電子発生素子を数多く設けて素子の配列のピッチを小さくしようとすると、配線方法に困難が生じていた。

たとえば、1列あたりの素子数 n を大きくすると、駆動電圧を供給するための共通電極($E_1 \sim E_n$)の巾 d_1 を大きくする必要があるが、この様に巾 d_1 を大きくすると行方向の配列ピッチを大きくすることになる。この様な状態を少しでも解消するために、電極間隔 d_2 を小さくすることも考えられるが、電極間の絶縁を十分維持するためにはこれにも限度があり、また電極間の電気容量が増加するため、駆動速度が低下するという問題が発生していた。

チで多数の素子を配した電子線発生装置や、これを用いた高精細大画面の表示装置などへの応用が期待されるものである。

【発明が解決しようとする課題点】

しかしながら、従来の電子線発生装置で行なわれている素子の配線法に於ては、以下に説明する様な点で問題があった。

図5図は従来の配線法を示す配線図である。図5図において、ESは表面伝導型放出素子等の電子放出素子で、基板上に $m \times n$ 個、配列して形成されている。尚、図中に於ては、説明を簡単にするため、 $m=3$, $n=8$ のものが示されているが、一般には、 m , n はもっと大きく、たとえば数百～数千の組合もある。

これらの素子は $E_1 \sim E_n$ の $2m$ 本の電極により1列(n 個)づつ共通配線されており、たとえば平板型CRTのような表示装置へ応用した場合、画像を1ライン毎に同時に表示する順次走査方式に近する様に形成されている。

即ち、1列目を走査するには、電極 E_1 と電極 E_2

この様な問題があるために、従来の電子線発生装置では、たとえば、高精細、大面積の表示装置のためのマルチ電子線等の応用上の要請を満足するのに必要な十分な素子数と配列ピッチを備えたものを実現するのが困難であった。

本発明は、上述の様な従来技術の課題点に鑑みてなされたもので、その目的は、表面伝導型放出素子もしくはこれに類似の電子放出素子を用いた順次走査方式の電子線発生装置において、電子放出素子を数個なピッチで、多数個配列することを可能にした電子線発生装置およびその駆動方法を提供することである。

【課題点を解決するための手段】

即ち、本発明の第一の発明は、基板上に複数の電子放出素子を2次元的に行列状に配設し、行方向に配列された隣接する電子放出素子の対向する端子間を電気的に結線するとともに、列方向に配列された同一列上の全電子放出素子の同じ側の端子間を電気的に結線してなることを特徴とする電子線発生装置である。

また、第二の発明は、基板上に複数の電子放出素子を2次元的に行列状に配設し、行方向に配列された隣接する電子放出素子の対向する端子間を電気的に結線するとともに、列方向に配列された同一列上の全電子放出素子の同じ側の端子間を電気的に結線してなり、前記列方向の複数の電子放出素子は2列以上の m 列にわたって設けられ、その電気的な結線が $m+1$ 本の電極で取り出され、前記 m 列の電子放出素子群のうちの任意の x 列目を駆動するのに、 $1 \sim x$ 本目の電極には共通の電位 V_1 を印加し、 $x+1 \sim m+1$ 本目の電極には前記電位 V_1 と異なる共通の電位 V_2 を印加することを特徴とする電子線発生装置の駆動力状である。

具体的には、基板上に複数の電子放出素子を2次元的に行列状に設け、行(x)方向に関しては、隣接する素子の対向する端子間を電気的に結線するとともに、列(y)方向に関しては、同一列上の全素子について同じ側の端子間を電気的に結線してなる電子線発生装置において、前記

列方向の複数の電子放出素子は、2以上の m ($m \geq 2$)列にわたって設けられ、前記電気的な結線が $1 \sim m+1$ 本の電極で取り出されており、前記 m 列の電子放出素子群のうち、任意の x 列目を駆動するのに($1 \leq x \leq m$)、 $1 \sim x$ 本の電極には共通の電位 V_1 を印加し、 $x+1 \sim m+1$ 本の電極には共通の電位 V_2 を印加する($V_1 \neq V_2$)ことを特徴とする電子線発生装置およびその駆動方法である。

【作用】

本発明の電子線発生装置は、基板上に複数の電子放出素子を2次元的に行列状に配設し、行方向に配列された隣接する電子放出素子の対向する端子間を電気的に結線するとともに、列方向に配列された同一列上の全電子放出素子の同じ側の端子間を電気的に結線してなるので、従来は各列毎に電子放出素子の配線を共通化していたのに対し、本発明の場合は隣接する2列間の配線を共通化し、多数の素子を数個なピッチで配列することが可能である。また、電極間の配線容量も大巾に

小さくできるために駆動も容易になる。

【実施例】

以下、図面に示す実施例に基づいて本発明を詳細に説明する。

実施例1

第1図は本発明の電子線発生装置の一実施例を示す配線図である。同図は、断面伝導形放出素子を $m \times n$ 個($m=7$, $n=11$)個配した電子線発生装置を示す。図から明らかなように、従来は各列毎に配線を共通化していたのに対し、本発明の場合は隣接する2列間の配線を共通化している。

すなわち、従来、 m 列の素子を配線するのに $2m$ 本の電極で行なっていたのに対し、本発明では $m+1$ 本の電極で行なうことを特徴としている。

本発明の方式によれば、従来と同じ素子を用いながら、より多数の素子を数個なピッチで配列することが可能である。従来、素子列と素子列の間には配線のために($2 \times d_1 + d_2$)の巾が必要であったが、本発明の場合に必要な巾は d_1 である。

もし、一列あたりの素子数が同じ場合なら、一列単位の列間配線の場合、電極に流れる電流は同じであるから、 $d_2 = d_1$ であればよく、列間ピッチを($2 \times d_1 + d_2$) - $d_1 = d_1 + d_1$ だけ小さくすることができる。

第1図の実施例では、ほぼ同じ面積の従来の第5図の方式と比較して、行方向と列方向の両方とも配列ピッチを小さくすることができる。第5図の場合、列方向には $n=8$ 個の素子が配列されているが、第1図では $n=11$ 個が配列されている。したがって、電極巾として、 d_2 は $d_1 \times 11/8$ あればよいが、本実施例では余裕をみて、 $d_2 = 5/3 d_1$ ($> 11/8 d_1$)としている。一方、行方向についても、第5図では $m=6$ であるが、第1図の実施例では $m=7$ に増やすことができる。

次に、上記実施例の駆動方法について説明する。第1図の装置において、任意の x 列($1 \leq x \leq m$)を駆動するためには、電極 $1 \sim x$ に対して

電 極	電 圧 [V]
$E_1 \sim E_m$	VE
$E_{m+1} \sim E_n$	0

— ① —

または

電 極	電 圧 [V]
$E_1 \sim E_m$	0
$E_{m+1} \sim E_n$	VE

— ② —

の電圧を印加すればよい。ただし、VEとは、
一列あたり m 個の素子を駆動するのに必要な電圧値である。

言い換えれば、 x 列目の素子の両端にのみ電位差 VE が生ずるように、電位を印加すればよいわけである。本実施例に於ては、印加電圧の極性によらず、電子放出が良好な素子を用いたため、①、②のどちらの方法を行なってもよい。しかし、極性により電子放出特性が大幅に変わる素子を用いる場合には、①、②のうちどちらか 1 つの方法に

固定し、常に印加電圧の極性を一定させるか、又は①と②で印加電圧 VE を変えて特性の違いを補正するなどの工夫を行なえばよい。

次に、第 1 図の実施例に於て、1 列目から m 列目まで順次走査していくための回路構成の一例を第 2 図の回路例に示す。

第 2 図において、1 は前記第 1 図で説明した電子線発生装置で、 $E_1 \sim E_{m+1}$ の $m+1$ 本の電極素子を取り出されている。また、SR はシリアル・イン／パラレル・アウトのシフトレジスタであり、外部から与えられるシリアル入力信号 (SIn)、クロック信号 (CLK)、クリアー信号 (CLR) にもとづき、 m 本のパラレル信号 ($P_1 \sim P_m$) を出力する。また、INV はインバータである。BD はバッファドライバで、 $i_1 \sim i_{m+1}$ に入力する信号にもとづき、 $0_1 \sim 0_{m+1}$ から VE [V] 又は 0 [V] を出力する。

この回路の動作の手順を、下記の表 1 に示す。

表 1

クロック 信 号	クリアー 信 号	E_1	E_2	E_3	E_4	E_5	E_6	E_7	E_8	駆動する 素子列 (列目)
—	1	VE	0	0	0	0	0	0	0	1
↑	0	VE	VE	0	0	0	0	0	0	2
↑	0	VE	VE	VE	0	0	0	0	0	3
↑	0	VE	VE	VE	VE	0	0	0	0	4
↑	0	VE	VE	VE	VE	VE	0	0	0	5
↑	0	VE	VE	VE	VE	VE	VE	0	0	6
↑	0	VE	VE	VE	VE	VE	VE	VE	0	7
↑	0	0	VE	VE	VE	VE	VE	VE	VE	1
↑	0	0	0	VE	VE	VE	VE	VE	VE	2
↑	0	0	0	0	VE	VE	VE	VE	VE	3
↑	0	0	0	0	0	VE	VE	VE	VE	4
↑	0	0	0	0	0	0	VE	VE	VE	5
↑	0	0	0	0	0	0	0	VE	VE	6
↑	0	0	0	0	0	0	0	0	VE	7
↑	0	VE	0	0	0	0	0	0	0	1

(注) 1: クロック信号の立ち上りを示す。

まず最初、シフトレジスタ SR にクリアー信号を入力すると、シフトレジスタ SR の $P_1 \sim P_m$ はすべて 0 を出力し、又、インバータ INV は 1 を出力する。したがって、バッファドライバ BD は 0_1 だけが VE [V] を出力し、 $0_2 \sim 0_{m+1}$ は 0 [V] を出力する。その結果、前記電子線発生装置の E_1 にのみ VE [V] が印加されることとなり、素子列のうち第 1 列目だけが駆動される。

次に、クリアー信号を 0 とし、クロック信号を 1 回入力すると (表 1 中、↑ で示す)、バッファドライバ BD の i_1 と i_2 に 1 が、 $i_3 \sim i_{m+1}$ には 0 が入力されるため、結果的には E_1 と E_2 に VE [V]、そして $E_3 \sim E_{m+1}$ には 0 [V] が印加され、素子の第 2 列目が駆動される。

以下、同様にクロック信号が入力される度に表 1 の手順を上から下に行なっていく。そして、第 7 列目が駆動された ($E_1 \sim E_7$ に VE [V]、 E_8 に 0 [V] 印加) 次のクロックで、再び第 1 列目が駆動されるが、この時には初回と異なり、 E_1 に 0 [V]、 $E_2 \sim E_8$ に VE [V] が印加される。すなわち、第 1 回

目の走査では、前記駆動方法の(2)における(1)の方法、2回目の走査では(1)の方法が用いられ、以下これが交互にくり返されることとなる。

実施例2

次に、本発明の第2の実施例を図3図に示す。本実施例は、基本構成としては第1図の例と同様のものであるが、偶数列と奇数列の電子の配列が互にピッチ分ずらせてある点が見える。

本実施例は、特に、TV受像機分野では公知のインターレース方式に基いたものである。すなわち、たとえば、フラットCRTなどに適用した時、奇数列(1,3,5,...列)と偶数列(2,4,6,...列)を交互に走査することにより、ちらつきの少ない画像表示を行なうことができる。この場合、前記第2図の走査回路を若干変更する必要がある。即ち、バッファードライバ10の信号入力端子(1,...)の直にラッチを一段設け、該ラッチをシフトレジスタの1/2周波数のクロックで駆動すれば、所望のインターレース走査が可能となる。

また、これ以外にも電子の配列の方法にはバリエーションが可能で、(2)に示すように、その応用目的にあわせて最適な配列を行なえばよい。

たとえば、第4図に示すように、同一基板上に2組以上の電子管を配列してもよく(第4図中、E5とE6は電子の形状や電子放出特性が異なる)、また配列のピッチを部分的に変えたり、場合によっては複数の電子を直列接続したり、必要に応じて、電極の間隔を変えたりすることも可能である。

また、使用される電子放出電子も、表面伝導形放出電子をはじめとして、Pa接合を用いたもの、MIM構造を有するもの等であってもよい。

尚、上記の説明では、順次走査方式の表示装置への応用を主眼においたため、1列ずつ駆動する場合を説明したが、本発明の駆動はこれに限定されるものではなく、任意の列を同時に駆動することももちろん可能である。

たとえば、p列目とq列目とr列目を同時に駆動したい時には、 $(1 \leq p \leq m, 1 \leq q \leq m, 1 \leq r \leq m, p < q < r \text{ とする})$

電 極	印加電圧 [V]
$E_1 \sim E_n$	VE
$E_{n+1} \sim E_m$	0
$E_{m+1} \sim E_r$	VE
$E_{r+1} \sim E_{m+r}$	0

または

電 極	印加電圧 [V]
$E_1 \sim E_n$	0
$E_{n+1} \sim E_m$	VE
$E_{m+1} \sim E_r$	0
$E_{r+1} \sim E_{m+r}$	VE

で示されるような電圧を印加すればよい。また、たとえば全列を同時駆動したい時には、E偶数→VE[V]、E奇数→0[V] 又は E偶数→0[V]、E奇数→VE[V] のような電圧を印加すればよい。要するに、任意の電子列に駆動電圧VEを印加することは容易である。

[発明の効果]

以上説明した様に、本発明による電子線発生装置の配線手段を用いれば、従来と比較して多数の電子放出電子を数個のピッチで配列することが可能である。しかも、電極間の配線容量も大巾に小さくできるため、駆動も容易になる。

また、駆動回路との接続を、従来、2本の導線で行なっていたのに対し、本発明の方法では $m+1$ 本で行なうため、製造も容易になり、信頼性も向上する。

本発明は、表面伝導形放出電子もしくはこれと類似の電子放出電子を多数個備えた電子線発生装置に広く適用可能で、例えば、平板形CRT装置をはじめ、各種表示装置、記録装置、電子線描画装置等の広範囲の装置に適用することができる。

4. 4図面の簡単な説明

第1図は本発明の電子線発生装置の一次実施例を示す配線図、第2図はその走査回路を示す回路図、第3図および第4図はそれぞれ本発明の他の実施例を示す配線図および第5図は従来の電子線発生

装置の配線図である。

I—電子線発生装置

ES—電子放出素子

SR—シフトレジスタ

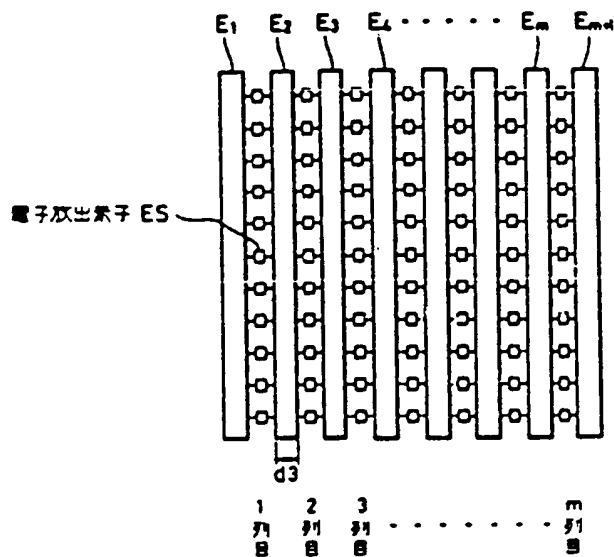
INV—インバータ

BD—バッファードライバ

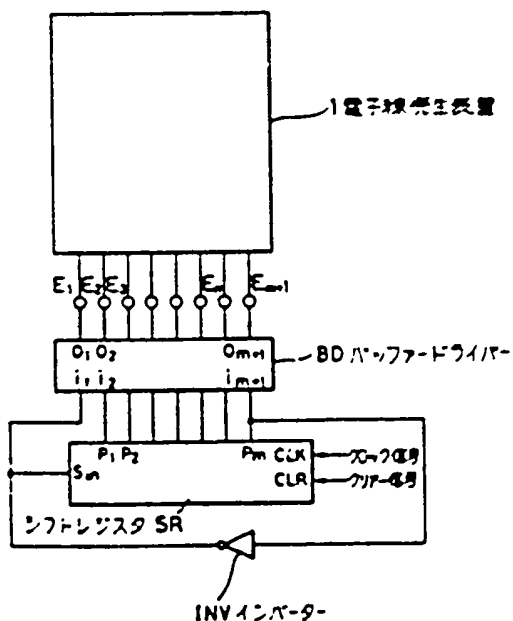
出願人 キヤノン株式会社

代理人 渡 辺 敏 廣

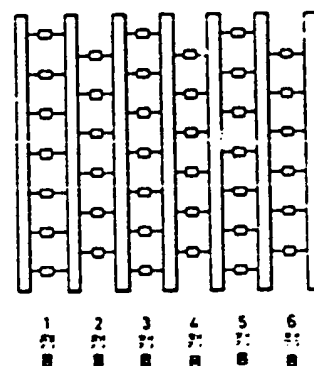
第1図



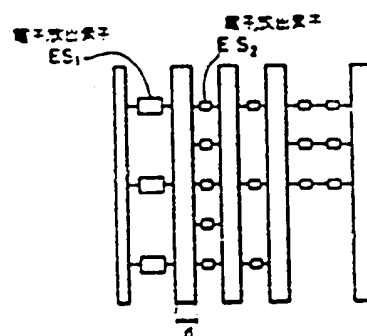
第2図



第3図



第4図



第5図

